

Figure II.1 : *Architecture de base d'un microprocesseur*

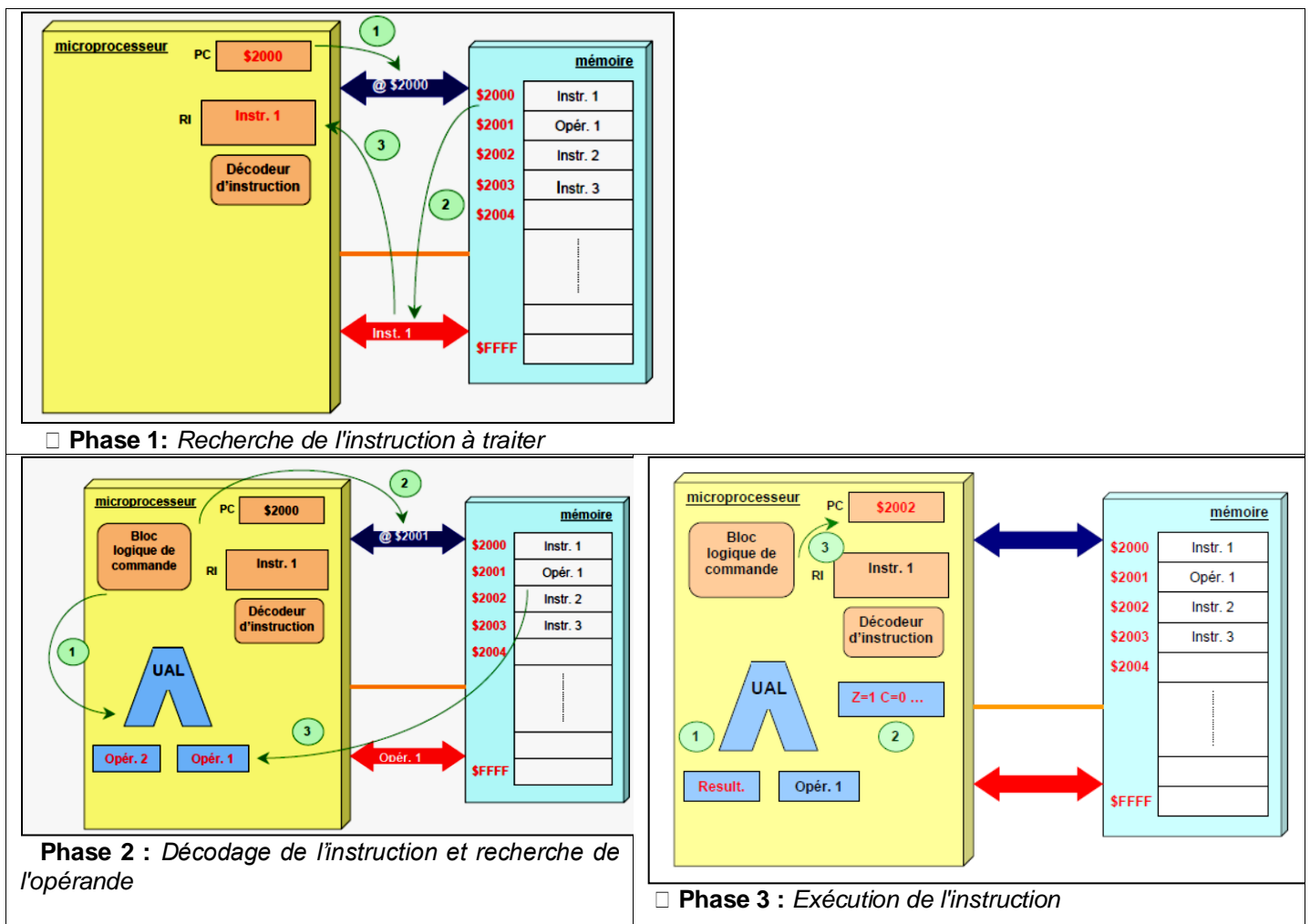


Figure II.2 : *Cycle d'exécution d'une instruction*

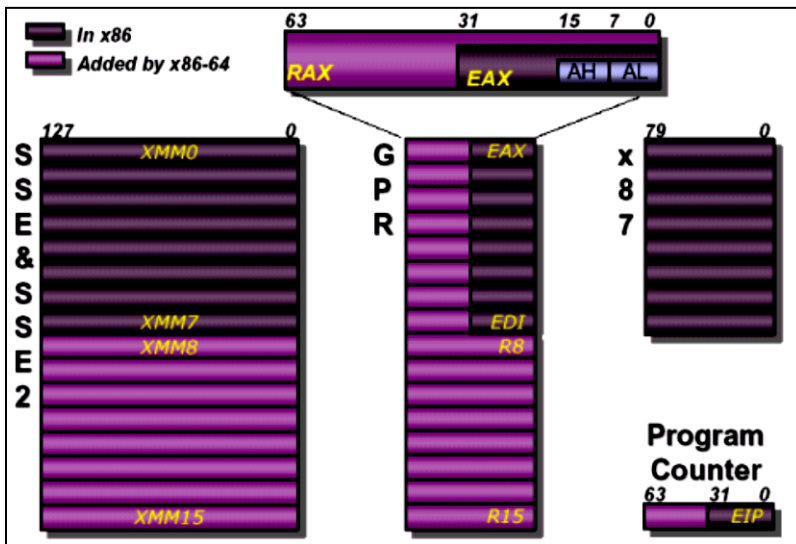


Figure II.3 Additional XMM (SSE) registers

Génération	Date de parution	Principaux modèles grand public	Espace d'adressage linéaire/physique	Nombre de transistors	Finesse de gravure (nm)	Fréquence de l'horloge	Principales évolutions
1	1978	Intel8086 , Intel 8088		29 000	3 000	5 MHz	premiers processeurs x86
2	1982	Intel80186 , Intel 80188 , NEC V20/V30	16-bit / 20-bit (segmenté)				calcul rapide des adresses en hardware, opérations rapides (division, multiplication,
3 (IA-32)	1985	Intel 80286	16-bit (30-bit virtuel) / 24-bit (segmenté)	134 000	1 500	6 à 16 MHz (20 MHz chez AMD)	MMU (Memory Management Unit), pour permettre le mode protégé et un plus grand espace d' adressage
4	1989	Intel 80386 , AMD Am386		275 000	1 500	16 à 40 MHz	jeu d'instructions 32-bit, MMU avec pagination
5	1993	Intel 80486 , AMD Am486		1 200 000 (800nm)	1 000 à 800	16 à 100 MHz	pipeline de type RISC, FPU et Mémoire Cache intégrés
5/6	1996	Pentium , Pentium MMX	32-bit (46-bit virtuel) / 32-bit	3 100 000	800 à 250	60 à 233 MHz	processeur superscalaire , 64-bit bus de données , FPU plus rapide, MMX
6	1995	Cyrix 6x86 , Cyrix MII , Cyrix III (2000) / VIA C3 (2001)					renommage de registres , exécution spéculative
	1997	Pentium Pro , AMD K5 , Nx586 (1994), Rise mP6	<i>idem</i> / 36-bit physique (PAE)				traduction des micro-instructions, PAE (Pentium Pro), cache L2 intégré (Pentium Pro)
		AMD K6-2/3 , Pentium		7 500 000	350 à 250	233 à 450 MHz	soutien du cache L3, 3DNow! , SSE

COMPLEMENT_Chapitre 2. Architecture d'un microprocesseur 16 bits

		II/Pentium III, IDT/Centaur-C6					
7	1999	Athlon , Athlon XP		9 500 000	250 à 130	450 à 1 400 MHz	FPU superscalaire, meilleure conception (jusqu'à 3 instructions x86 par top d'horloge)
	2000	Pentium 4		42 000 000	180 à 65	1,3 à 3,8 GHz	pipeline profond, haute fréquence, SSE2 , hyper-threading
6-M/7-M	2003	Pentium M , VIA C7(2005) , Core Solo et Core Duo (2006)					optimisé pour une faible consommation d'énergie
8 (x86-64)		Athlon 64 , Opteron	64-bit / 40-bit physique dans la première implémentation AMD.				jeu d'instructions x86-64 , contrôleur mémoire intégré, HyperTransport
	2004	Pentium 4 Prescott		125 000 000	90 à 65	2.66 à 3,6 GHz	pipeline très profond, très haute fréquence, SSE3
9	2006	Intel Core 2		291 000 000	65	2,4 GHz (E66 00)	faible consommation d'énergie, multi-cœur , fréquence d'horloge plus faible, SSE4 (Penryn)
10	2007	AMD Phenom					quad-core monolithique, FPU 128-bit, SSE4a , HyperTransport 3 , conception modulaire
		Intel Atom					<i>in-order</i> , très faible consommation d'énergie
11	2008	Intel Core i7	idem / 48-bit physique pour le Phenom d'AMD	731 000 000	45	3,33 GHz (Core i7 975X)	<i>out-of-order</i> , superscalaire, bus QPI , conception modulaire, contrôleur mémoire intégré, 3 niveau de cache
		VIA Nano					<i>out-of-order</i> , superscalaire, chiffrement matériel, très faible consommation d'énergie, gestion de l'énergie adaptative
12	2010	Intel Sandy Bridge , AMD Bulldozer		1 160 000 000	32	3,5 GHz (Core i7 2700K)	SSE5/AVX , conception hautement modulaire
13	2013	Intel Haswell	64 bits/64 bits bus	1 400 000 000	22	3,8 GHz (Core i7 4770K)	
14	2015	Intel Skylake	64 bits/64 bits bus	1 750 000 000	14	4 GHz (Core i7 6700K)	
15	2016-2017	Intel Kabylake , AMD Zen		?	14	4.2 GHz (Core i7 7700K)	
	2017	Intel Core i3/i5/i7 (Cannonlake)	64 bits/64 bits bus	?	10		64 bits/64 bits bus
	2018	Intel Core i3/i5/i7 (Coffee Lake)	64 bits/64 bits bus	?	14		64 bits/64 bits bus
	2018	Intel Core i3/i5/i7 (Ice Lake)		?	10		

2019	Intel Core i3/i5/i7 (Tigerlake)	?	10	
------	---------------------------------	---	----	--

Figure II.4 : Evolution de la famille x86

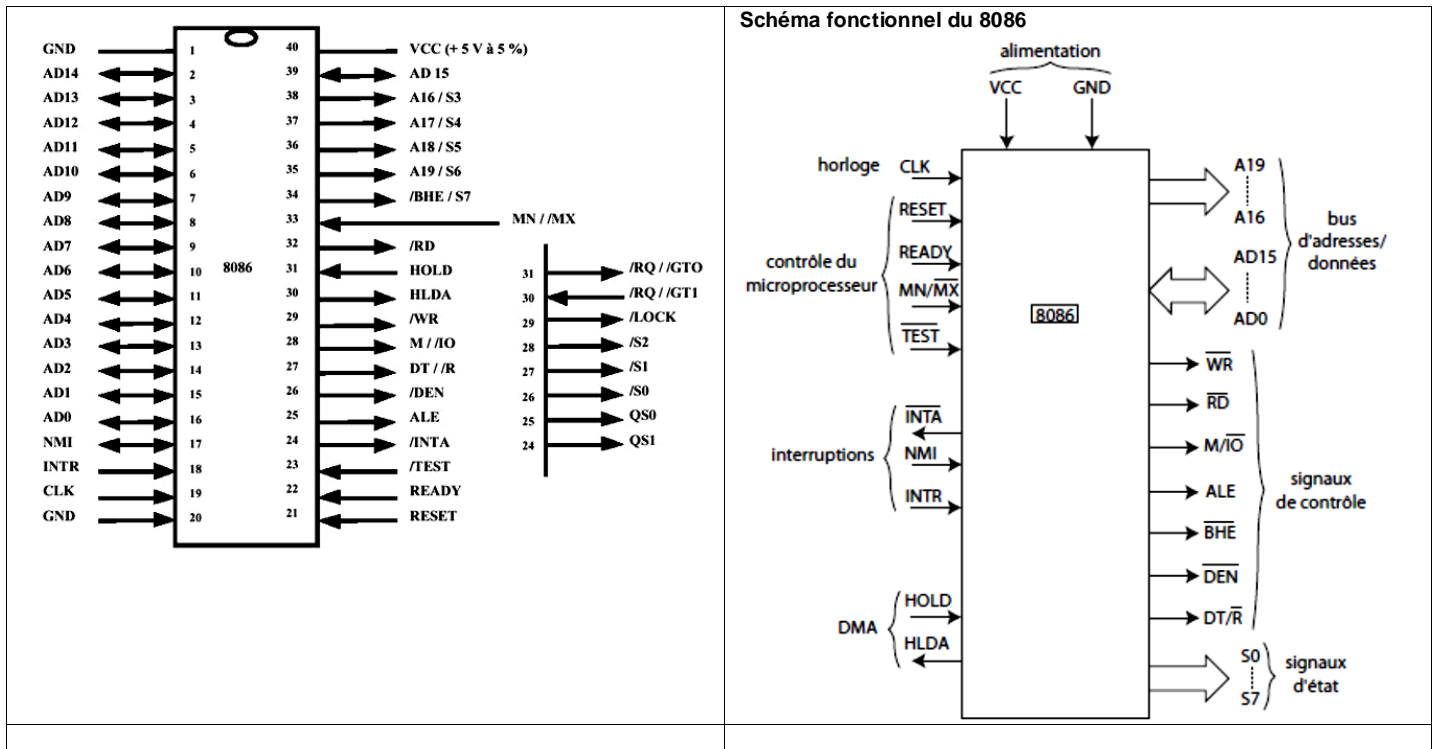


Figure II.5 : le brochage (à gauche) et le schéma fonctionnel du 8086.

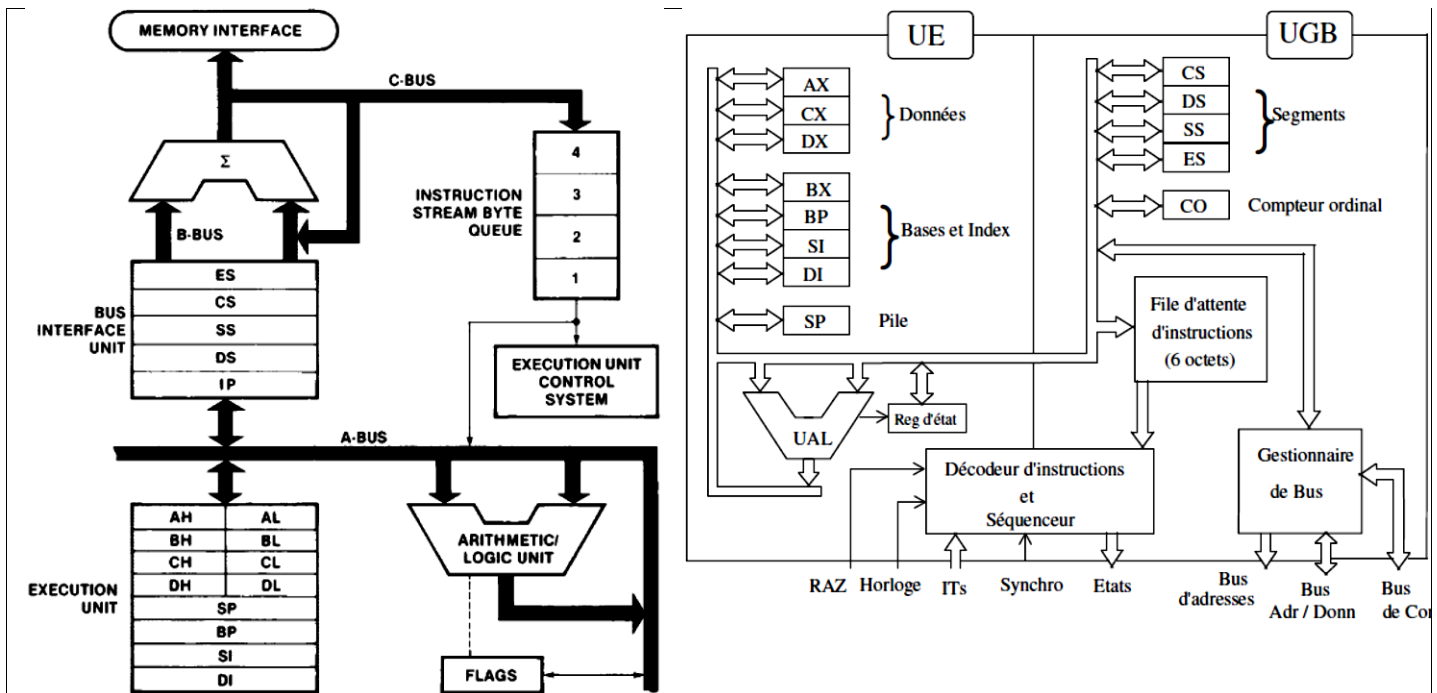


Figure II.6 : ARCHITECTURE INTERNE DU MICROPROCESSEUR 8086

<http://mai.kvk.uni-obuda.hu/documents/tantargy/i8088.pdf>

https://fr.wikipedia.org/wiki/Jeu_d%27instructions_x86

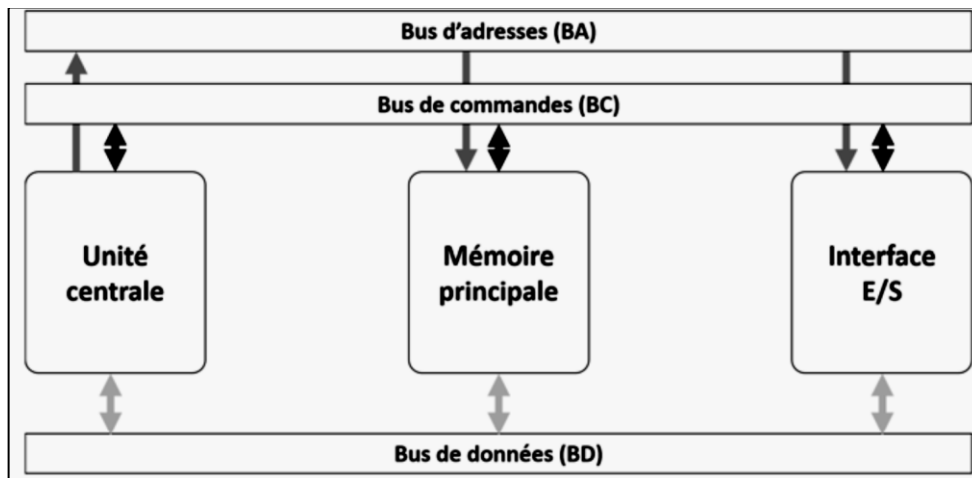


Figure I.1 : Modèle de Von Neumann.

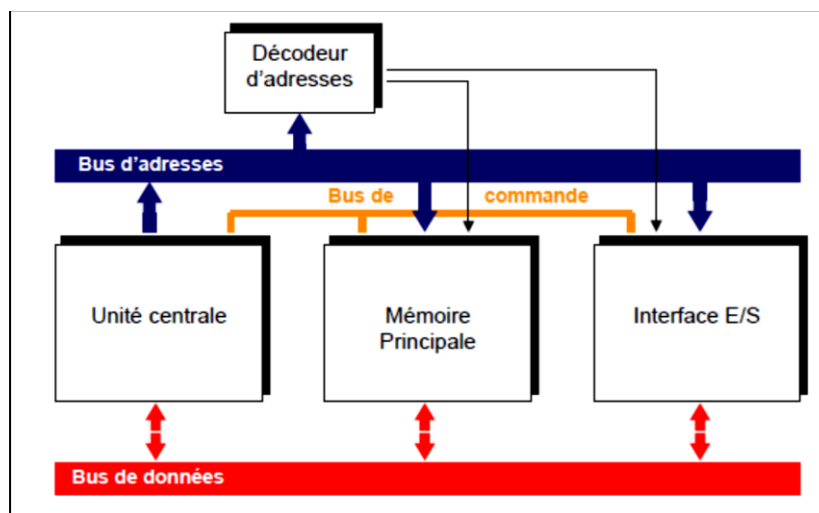


Figure I.2 : Décodage d'adresses